

## SEMICONDUCTOR STORAGE DEVICE

Patent Number: JP11045572  
Publication date: 1999-02-16  
Inventor(s): KOMIYA YUICHIRO  
Applicant(s): MITSUBISHI ELECTRIC CORP  
Requested Patent:  JP11045572  
Application: JP19970204207 19970730  
Priority Number(s):  
IPC Classification: G11C11/407; G11C11/413;  
EC Classification:  
Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a semiconductor storage device capable of efficiently generating a desired internal potential at a high speed.

**SOLUTION:** An internal booster potential generating circuit 100 has a diode type booster potential generating circuit 10, which generates a boosting potential VPP 1 and a feedback type booster potential generating circuit 11, which generates a booster potential VPP 2 and generates the internal booster potential VPP in accordance with VPP 1 and VPP 2. A detector 2 stops the diode type booster potential generating circuit 10 when the internal booster potential VPP exceeds a level A. A detector 3 stops the feedback type booster potential generating circuit 11 when the internal booster potential VPP exceeds a level B higher than the level A.

Data supplied from the **esp@cenet** database - I2

(51) Int.Cl.<sup>\*</sup>  
 G 11 C 11/407  
 11/413  
 H 02 M 3/07

識別記号

F 1  
 G 11 C 11/34 3 5 4 F  
 H 02 M 3/07  
 G 11 C 11/34 3 3 5 A

審査請求 未請求 請求項の数13 O.L (全 16 頁)

(21)出願番号 特願平9-204207

(22)出願日 平成9年(1997)7月30日

(71)出願人 000006013  
 三菱電機株式会社  
 東京都千代田区丸の内二丁目2番3号

(72)発明者 小宮 祐一郎  
 東京都千代田区丸の内二丁目2番3号 三  
 梅電機株式会社内

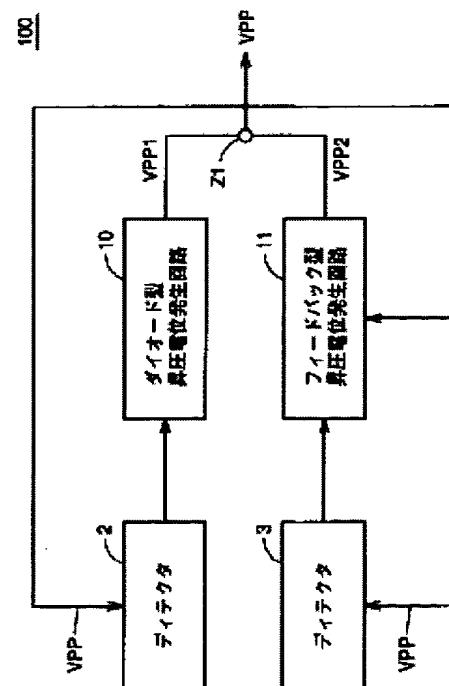
(74)代理人 弁理士 深見 久郎 (外3名)

## (54)【発明の名称】 半導体記憶装置

## (57)【要約】

【課題】 高速、かつ効率的に所望の内部電位を発生することができる半導体記憶装置を提供する。

【解決手段】 内部昇圧電位発生回路100は、昇圧電位VPP1を発生するダイオード型昇圧電位発生回路10と、昇圧電位VPP2を発生するフィードバック型昇圧電位発生回路11とを備え、VPP1、およびVPP2に基づき、内部昇圧電位VPPを発生する。ディテクタ2は、内部昇圧電位VPPがレベルAを超えると、ダイオード型昇圧電位発生回路10を停止させる。ディテクタ3は、内部昇圧電位VPPがレベルAより高いレベルBを超えると、フィードバック型昇圧電位発生回路11を停止させる。



【特許請求の範囲】

【請求項 1】 生成した内部電源電位を用いて内部回路を動作させる半導体記憶装置であって、与えられた電源電位の電位レベルを変換する、互いに変換効率の異なる複数の電位生成手段と、前記複数の電位生成手段からの出力に基づいて、前記内部電源電位を発生する内部電位発生手段とを備える、半導体記憶装置。

【請求項 2】 生成した内部昇圧電位を用いて内部回路を動作させる半導体記憶装置であって、外部電源電位を昇圧して第1の昇圧電位を生成して出力する第1の昇圧手段と、外部電源電位を昇圧して第2の昇圧電位を生成して出力する、前記第1の昇圧手段と昇圧効率の異なる第2の昇圧手段と、前記第1の昇圧電位と前記第2の昇圧電位とに基づいて、前記内部昇圧電位を発生する内部昇圧電位発生手段とを備える、半導体記憶装置。

【請求項 3】 前記第1の昇圧手段は、ダイオード型昇圧電位発生回路を含み、前記第2の昇圧手段は、フィードバック型昇圧電位発生回路を含み、さらに、前記ダイオード型昇圧電位発生回路の動作を制御する第1の制御手段と、前記フィードバック型昇圧電位発生回路の動作を制御する第2の制御手段とを備え、前記第1の制御手段は、前記内部昇圧電位が第1の検知レベルより高くなると、前記ダイオード型昇圧電位発生回路を停止させ、前記第2の制御手段は、前記内部昇圧電位が第1の検知レベルよりも高い第2の検知レベルになると前記フィードバック型昇圧電位発生回路を停止させる、請求項2記載の半導体記憶装置。

【請求項 4】 前記内部昇圧電位発生手段から出力される前記内部昇圧電位は、前記第1の昇圧電位と、前記第2の昇圧電位とを足合せた電位であり、前記ダイオード型昇圧電位発生回路には、ゲート昇圧用電源として前記外部電源電位が供給され、前記フィードバック型昇圧電位発生手段回路には、ゲート昇圧用電源として前記内部昇圧電位が供給される、請求項3記載の半導体記憶装置。

【請求項 5】 生成した内部昇圧電位を用いて内部回路を動作させる半導体記憶装置であって、外部電源電位を昇圧して第1の昇圧電位を生成して出力する第1の昇圧手段と、外部電源電位を昇圧して第2の昇圧電位を生成して出力する、第1の昇圧手段と昇圧効率の異なる第2の昇圧手段と、前記第2の昇圧電位に追従して、前記第1の昇圧電位を昇圧する第3の昇圧手段と、前記第1の昇圧電位と前記第2の昇圧電位とに基づい

て、前記内部昇圧電位を発生する内部昇圧電位発生手段とを備える、半導体記憶装置。

【請求項 6】 前記第1の昇圧手段は、ダイオード型昇圧電位発生回路を含み、前記第2の昇圧手段は、フィードバック型昇圧電位発生回路を含み、前記第3の昇圧手段は、前記ダイオード型昇圧電位発生回路と、前記フィードバック型昇圧電位発生回路との間にダイオード接続された第1のPMOSトランジスタから構成され、さらに、前記ダイオード型昇圧電位発生回路の動作を制御する第1の制御手段と、前記フィードバック型昇圧電位発生回路の動作を制御する第2の制御手段とを備え、前記第1の制御手段は、前記第1の昇圧電位が第1の検知レベルより高くなると、前記ダイオード型昇圧電位発生回路を停止させ、前記第2の制御手段は、前記内部昇圧電位が第1の検知レベルよりも高い第2の検知レベルになると前記フィードバック型昇圧電位発生回路を停止させる、請求項5記載の半導体記憶装置。

【請求項 7】 前記内部昇圧電位発生手段から出力される前記内部昇圧電位は、前記第2の昇圧電位に等しく、前記ダイオード型昇圧電位発生回路には、ゲート昇圧用電源として外部電源電位が供給され、前記フィードバック型昇圧電位発生回路には、ゲート昇圧用電源として前記第1の昇圧電位が供給される、請求項6記載の半導体記憶装置。

【請求項 8】 生成した内部降圧電位を用いて内部回路を動作させる半導体記憶装置であって、接場電位を降圧して第1の降圧電位を生成して出力する第1の降圧手段と、接場電位を降圧して第2の降圧電位を生成して出力する、前記第1の降圧手段と降圧効率の異なる第2の降圧手段と、前記第1の降圧電位と前記第2の降圧電位とに基づいて、前記内部降圧電位を発生する内部降圧電位発生手段とを備える、半導体記憶装置。

【請求項 9】 第1の降圧手段は、ダイオード型降圧電位発生回路を含み、前記第2の降圧手段は、フィードバック型降圧電位発生回路を含み、さらに、前記ダイオード型降圧電位発生回路の動作を制御する第1の制御手段と、前記フィードバック型降圧電位発生回路の動作を制御する第2の制御手段とを備え、前記第1の制御手段は、前記内部降圧電位が第1の検知レベルより低くなると、前記ダイオード型降圧電位発生回路を停止させ、前記第2の制御手段は、前記内部降圧電位が第1の検知レベルよりも低い第2の検知レベルになると前記フィードバック型降圧電位発生回路を停止さ

せる、請求項8記載の半導体記憶装置。

【請求項10】前記内部降圧電位発生手段から出力される前記内部降圧電位は、前記第1の降圧電位と、前記第2の降圧電位とを足合せた電位であり、前記ダイオード型降圧電位発生回路には、ゲート降圧用電源として接地電位が供給され、前記フィードバック型降圧電位発生手段回路には、ゲート降圧用電源として前記内部降圧電位が供給される、請求項9記載の半導体記憶装置。

【請求項11】生成した内部降圧電位を用いて内部回路を動作させる半導体記憶装置であつて、接地電位を降圧して第1の降圧電位を生成して出力する第1の降圧手段と、接地電位を降圧して第2の降圧電位を生成して出力する、前記第1の降圧手段と降圧効率の異なる第2の降圧手段と、前記第2の降圧電位に追従して、前記第1の降圧電位を降圧する第3の降圧手段と、前記第1の降圧電位と前記第2の降圧電位とに基づいて、前記内部降圧電位を発生する内部降圧電位発生手段とを備える、半導体記憶装置。

【請求項12】前記第1の降圧手段は、ダイオード型降圧電位発生回路を含み、前記第2の降圧電位は、フィードバック型降圧電位発生回路を含み、前記第3の降圧手段は、前記ダイオード型降圧電位発生回路と、前記フィードバック型降圧電位発生回路との間にダイオード接続された第2のPMOSトランジスタから構成され、さらに、前記ダイオード型降圧電位発生回路の動作を制御する第1の制御手段と、前記フィードバック型降圧電位発生回路の動作を制御する第2の制御手段とを備え、前記第1の制御手段は、前記第1の降圧電位が第1の検知レベルより低くなると、前記ダイオード型降圧電位発生回路を停止させ、前記第2の制御手段は、前記内部降圧電位が第1の検知レベルよりも低い第2の検知レベルになると前記フィードバック型昇圧電位発生回路を停止させる、請求項11記載の半導体記憶装置。

【請求項13】前記内部降圧電位発生手段から出力される前記内部降圧電位は、前記第2の降圧電位に等しく、前記ダイオード型降圧電位発生回路には、ゲート降圧用電源として接地電位が供給され、前記フィードバック型降圧電位発生回路には、ゲート降圧用電源として前記第1の降圧電位が供給される、請求項12記載の半導体記憶装置。

関し、特に、内部電源発生回路を備える半導体記憶装置に関するものである。

【0002】

【従来の技術】従来より、半導体記憶装置は、メモリアレイを含む複数の構成回路を適切に動作させるために、所望の内部電位を生成する回路を複数備えている。

【0003】図9は、従来の半導体記憶装置900の基本構成を示すプロック図である。図9を参照して、従来の半導体記憶装置900は、メモリアレイ50、ロウデコーダ51、ロウアドレスバッファ52、センスアンプ53、コラムデコーダ54、コラムアドレスバッファ55、および入出力回路56を備える。

【0004】メモリアレイ50は、複数の行方向および複数の列方向にマトリックス状に配列された複数のメモリセルMを含む。行方向に並ぶ複数のメモリセルMは、それぞれ対応するワード線WL<sub>i</sub> (i=1, 2, ..., m)に接続される。さらに、列方向に並ぶ複数のメモリセルMは、それぞれ対応するビット線BL<sub>i</sub> (i=1, 2, ..., n)に接続される。

【0005】ロウアドレスバッファ52は、制御信号であるロウアドレスストローブ信号/RASに従い、外部から受けるロウアドレス信号に対応して、内部ロウアドレス信号Xを出力する。ロウデコーダ51は、内部ロウアドレス信号Xに従い、いずれか1つのワード線WL<sub>i</sub>を選択する。コラムアドレスバッファ55は、制御信号であるコラムアドレスストローブ信号/CASに従い、外部から受けるコラムアドレス信号に対応して、内部コラムアドレス信号Yを出力する。コラムデコーダ54は、内部コラムアドレス信号Yに従い、いずれか1つのビット線BL<sub>i</sub>を選択する。センスアンプ53は、メモリセルMから読み出した記憶情報を入出力回路56に伝達し、また入出力回路56から受けた入力データを、ビット線BL<sub>i</sub>を介してメモリアレイ50に伝達する。

【0006】入出力回路56は、データ入出力ピンQと接続される。データ入出力ピンQからは、メモリセルMに書込むデータが入力され、またはメモリセルから読み出したデータが出力される。

【0007】内部電源発生回路59は、外部から外部電源電圧<sub>ext</sub> V<sub>CC</sub>を受けて、内部電源電圧<sub>int</sub> V<sub>CC</sub>を生成する。メモリアレイ50、ロウデコーダ51、ロウアドレスバッファ52、センスアンプ53、コラムデコーダ54、およびコラムアドレスバッファ55は、この内部電源電圧<sub>int</sub> V<sub>CC</sub>に基づき動作する。

【0008】次に、メモリアレイ50の読み出し、書き込み動作について説明する。図10は、メモリアレイ50からのデータの読み出サイクルを示すタイミングチャートである。図9～図10を参照して、時刻t<sub>1</sub>～時刻t<sub>3</sub>において、ロウアドレスバッファ52、コラムアドレスバッファ55から内部ロウアドレス信号X、内部コラムアド

#### 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に

レス信号Yが出力される。なお、ライトイネーブル信号WEは、Hレベルのままである。時刻t2では、ロウアドレスストローブ信号/RASが立下り、時刻t4では、コラムアドレスストローブ信号/CASが立下がる。これにより、内部ロウアドレス信号Xおよび内部コラムアドレス信号Yは、それぞれロウデコーダ51、コラムデコーダ54に取込まれる。

【0009】ロウデコーダ51は、特定のワード線WL<sub>i</sub>を選択駆動する。この結果、ワード線WL<sub>i</sub>につながる全てのメモリセルMの情報が、対応するビット線BL<sub>i</sub>を経てセンスアンプ53に伝達される。続いて、コラムデコーダ54により、特定のビット線BL<sub>i</sub>が、データ入出力線I/O線と接続される。これにより、ビット線BL<sub>i</sub>に対応して設けられるセンスアンプ53の1つが、データ入出力線I/O線を介して入出力回路56と接続される。この結果、時刻t5において、データ入出力カビンQからメモリセルMの情報が外部に読み出される。

【0010】メモリアレイ50にデータを書込む場合は、入出力回路56から書き込みデータが入力され、センスアンプ53を介して、特定のビット線BL<sub>i</sub>に信号が伝達される。ロウデコーダ51により選択駆動されたワード線WL<sub>i</sub>に接続されるメモリセルMにデータが書き込まれる。

【0011】ところで、メモリアレイ50を構成するメモリセルMは、図11に示すように、データを蓄積するコンデンサC50、およびゲートトランジスタN50を備える。ゲートトランジスタN50は、ビット線BL<sub>i</sub>(i=1, 2, ..., nのいずれか1つ)とコンデンサC50との間に接続される。ゲートトランジスタN50は、NMOSトランジスタから構成される。ゲートトランジスタN50のゲート電極は、対応するワード線WL<sub>i</sub>(i=1, 2, ..., mのいずれか1つ)と接続される。ゲートトランジスタN50がon/offすることにより、コンデンサC50へデータが入力され、もしくはコンデンサC50からデータが出力される。

【0012】メモリセルMからのデータを読み出もしくは書きを行なう場合は、メモリセルMが接続されるワード線WL<sub>i</sub>のワード線電位をHレベルに立上げる。これにより、メモリセルMを構成するゲートトランジスタN50はon状態になり、ビット線BL<sub>i</sub>とコンデンサC50とが接続状態になる。たとえば、読み動作の場合は、コンデンサC50の電荷に応じて、ビット線BL<sub>i</sub>の電位が変化する。センスアンプ53(図9)は、ビット線BL<sub>i</sub>の電位の変化を検知して、メモリセルMの記憶情報が、"1"であるか、または"0"であるかを検知する。

【0013】ところで、ゲートトランジスタN50のしきい値電圧V<sub>thn</sub>が低いと、ビット線BL<sub>i</sub>とコンデンサC50とを完全に分離することができず、コンデンサC50からの電荷のリークを引き起こす。

【0014】そこで、図9に示すように、半導体記憶装置900は、さらに内部降圧電位発生回路60(以下、VBB発生回路と称す)を設け、VBB発生回路60で生成した内部降圧電位VBBを、図11に示すゲートトランジスタN50のバックバイアスに与えている。これにより、ゲートトランジスタN50のしきい値電圧V<sub>thn</sub>を高くる。

【0015】また、メモリセルMを構成するゲートトランジスタN50を完全にon状態にするには、対応するワード線WL<sub>i</sub>のワード線電位を、ビット線BL<sub>i</sub>やコンデンサC50のHレベルの電位(int. VCC)に對して、さらにしきい値電圧V<sub>thn</sub>だけ高くしなければならない。そこで、図9に示すように、半導体記憶装置900がさらに、内部昇圧電位回路(以下、VPP発生回路と称す)70を設け、VPP発生回路70で生成した内部昇圧電位VPPを用いて、ワード線電位を、(VCC+V<sub>thn</sub>)以上にしている。

【0016】次に、従来の半導体記憶装置900に使用されるVPP発生回路70、VBB発生回路60について説明する。なお以下簡単のため、NMOSトランジスタのしきい値電圧をV<sub>thn</sub>と、PMOSトランジスタのしきい値電圧をV<sub>thp</sub>と記す。

【0017】図12は、従来の半導体記憶装置900に用いられる従来のVPP発生回路70、1の一例を示す図である。図12に示すVPP発生回路70、1は、ディテクタ81、およびダイオード型昇圧電位発生回路83を備える。

【0018】ディテクタ81は、内部昇圧電位VPPの変動を検知する。内部昇圧電位VPPが目的値よりも低いと、後述するリングオシレータ82を作動させる。

【0019】ダイオード型昇圧電位発生回路83は、リングオシレータ82、コンデンサC10、NMOSトランジスタN10、およびスイッチングゲートN11を備える。

【0020】スイッチングゲートN11は、図12に示すノードZ10にダイオード接続されたNMOSトランジスタで構成される。リングオシレータ82は、ディテクタ81の制御に従い、振幅|GND-ext. VCC|のクロック信号CLKを出力する(ここで、GNDとは、接地電位を表す)。NMOSトランジスタN10は、外部電源電位ext. VCCとノードZ10との間に接続され、ノードZ10を(ext. VCC-V<sub>thn</sub>)レベルにプリチャージする。

【0021】リングオシレータ82から、コンデンサC10にクロック信号CLKが供給されると、カップリング効果により、ノードZ10の電位が降圧され、ノードZ10の電位は、(2×ext. VCC-V<sub>thn</sub>)レベルになる。これにより、スイッチングゲートN11がon状態になり、内部昇圧電位VPP(=2×ext. VCC-2×V<sub>thn</sub>)が外部に出力される。

【0022】ここで、コンデンサC10で昇圧された電源をゲート昇圧用電源と称す。ダイオード型昇圧電位発生回路83は、外部電源電圧 $e \times t$ 、VCCレベルのゲート昇圧用電源を用いて、スイッチングゲートN11の状態を変化させることにより、昇圧された電源を外部に伝達する。

【0023】図13は、従来の半導体記憶装置900に使用されるVBB発生回路60.1の一例を示す図である。図13に示すVBB発生回路60.1は、ディテクタ84、およびダイオード型降圧電位発生回路85を備える。

【0024】ディテクタ84は内部降圧電位VBBの変動を検知する。内部降圧電位VBBが、目的値より低いと、後述するリングオシレータ85を動作させる。

【0025】ダイオード型降圧電位発生回路85は、リングオシレータ85、コンデンサ11、PMOSトランジスタP10、およびスイッチングゲートP11を備える。

【0026】スイッチングゲートP11は、図13に示すノードZ11にダイオード接続されたPMOSトランジスタで構成される。PMOSトランジスタP10は、ノードZ11を(GND-Vthp)レベルにブリッジする。リングオシレータ85は、ディテクタ84の制御に従い、振幅|GND-e \times t, VCC|のクロック信号CLKを出力する。

【0027】コンデンサC11にリングオシレータ85からクロック信号CLKが供給されると、ノードZ11の電位が昇圧され、(2 \times GND-Vthp)レベルになる。これにより、スイッチングゲートP11がon状態になり、内部降圧電圧VBB(=2 \times GND-2 \times Vthp)が外部に出力される。

【0028】ここで、コンデンサC11で降圧された電源をゲート降圧用電源と称す。ダイオード型昇圧電位発生回路86は、接場電位GNDレベルのゲート降圧用電源を用いて、スイッチングゲートP11の状態を変化させることにより、降圧された電源を外部に伝達する。

【0029】さらに、より高い内部昇圧電位VPPを供給する必要がある場合には、ダブルブースト型昇圧電位発生回路を備えるVPP発生回路70.2を用いる。参考のため、図14に、ダブルブースト型昇圧電位発生回路を備えるVPP発生回路70.2の構成を示す。

【0030】図14に示すVPP発生回路70.2は、ディテクタ81、およびダブルブースト型昇圧電位発生回路87を備える。

【0031】ダブルブースト型昇圧電位発生回路87は、リングオシレータ82、コンデンサC12~C14、インバータ回路I1、NMOSトランジスタN13~N15、およびスイッチングゲートN12を備える。

【0032】NMOSトランジスタN13、N14、N

15のいずれも、一方の通端子に外部電源電位 $e \times t$ 、VCCを受ける。スイッチングゲートN12は、NMOSトランジスタで構成される。スイッチングゲートN12のゲート電極は、図14に示すノードZ15と接続されている。

【0033】コンデンサC14にリングオシレータ82からクロック信号CLKが供給されると、ノードZ14、Z15の電位が、 $e \times t$ 、VCCレベルになる。さらに、コンデンサC12にクロック信号CLKの反転信号が供給されると、ノードZ14の電位が昇圧され、(2 \times e \times t, VCC)レベルになる。また、コンデンサC13に、クロック信号CLKの反転信号が供給されると、ノードZ15の電位が昇圧され、(2 \times e \times t, VCC)レベルになる。

【0034】すなわち、ダブルブースト型昇圧電位発生回路87は、外部電源電圧 $e \times t$ 、VCCをゲート昇圧用電源として用いる。ノードZ15の電位を受けてスイッチングゲートN12がon状態になると、内部昇圧電位VPP(=2 \times e \times t, VCC-Vthn)が外部に出力される。

【0035】さらに、フィードバック型昇圧電位発生回路を備えるVPP発生回路、もしくはフィードバック型降圧電位発生回路を備えるVBB発生回路がある。フィードバック型昇圧電位発生回路、もしくはフィードバック型降圧電位発生回路については、特願平7-184446号に詳しく記載されているのでここではその詳細な説明を省略する。

【0036】参考のため、図15に、フィードバック型昇圧電位発生回路90を備えるVPP発生回路70.3の基本構成を示す。

【0037】図15に示すVPP発生回路70.3におけるフィードバック型昇圧電位発生回路90は、リングオシレータ82、クロックジェネレータ89、レベル変換器88、コンデンサC15~C18、NMOSトランジスタN17~N20、スイッチングゲートN16を備える。

【0038】クロックジェネレータ89は、ディテクタ81、リングオシレータ82の制御を受けて、クロック信号IN1~IN5を出力する。

【0039】レベル変換器88は、NMOSトランジスタN21~N24、PMOSトランジスタP12~P15、およびインバータ回路I2、I3を備える。レベル変換器88は、内部昇圧電位VPPを受けて、クロック信号IN4を、振幅|VPP-GND|の信号SIGに変換する。

【0040】コンデンサC15~C18、およびレベル変換器88は、クロックジェネレータ89から振幅|e \times t, VCC-GND|のクロック信号IN1~IN5を受ける。

【0041】スタンバイ時においてはクロック信号IN

1～IN5はすべてLレベルであり、ノードZ16、Z17は、ext. VCCレベルにプリチャージされている。スイッチングゲートN16は、off状態である。

【0042】クロック信号IN1、IN2がHレベルになると、ノードZ16は(2×ext. VCC)レベルにまで昇圧される。レベル変換器88に、Hレベルのクロック信号IN3、およびHレベルのクロック信号IN4が入力されると、VPPレベルの信号SIGが出力される。

【0043】コンデンサC17にVPPレベルの信号SIGが供給されるとカップリング効果により、ノードZ17が、(2×ext. VCC+VPP)レベルにまで昇圧される。スイッチングゲートN16は、ノードZ17の電位に応じてon/off状態になる。

【0044】すなわち、フィードバック型昇圧電位発生回路90では、内部昇圧電位VPPをゲート昇圧電源として用いる。ノードZ17の電位を受けて、スイッチングゲートN16がon状態になると、内部昇圧電位VPP(=2×ext. VCC)が外部に出力される。

【0045】さらに、図16に、フィードバック型降圧電位発生回路91を備えるVBB発生回路60.3の基本構成を示す。

【0046】図16に示すVBB発生回路60.3におけるフィードバック型降圧電位発生回路91は、リングオシレータ85、クロックジェネレータ92、レベル変換器93、コンデンサC19～C22、PMOSトランジスタP17～P20、スイッチングゲートP16を備える。

【0047】クロックジェネレータ92は、ディテクタ84、リングオシレータ85の制御を受けて、クロック信号IN1～IN5を出力する。

【0048】レベル変換器93は、NMOSトランジスタN25～N28、PMOSトランジスタP21～P24、およびインバータ回路I4、I5を備える。レベル変換器93は、内部降圧電位VBBを受けて、クロック信号IN3を、振幅|ext. VCC-VBB|の信号SIGに変換する。

【0049】コンデンサC21、C22にクロック信号IN1、IN2が供給されると、図16に示すノードZ19の電位が降圧する。また、コンデンサC20にVBBレベルの信号SIGが供給されるとカップリング効果により、ノードZ18の電位が降圧される。スイッチングゲートP16は、ノードZ18の電位に応じてon/off状態になる。

【0050】すなわち、フィードバック型降圧電位発生回路91では、内部降圧電位VBBをゲート昇圧電源として用いる。ノードZ18の電位を受けて、スイッチングゲートP16がon状態になると、内部降圧電位VBBが外部に出力される。

【0051】さらに、たとえば、"SYMPONIUM

ON VLSI CIRCUIT"、pp 85～86、1993に記載された基板電位発生回路を始めとして、VBB発生回路、VPP発生回路としては、多数の回路が提案されている。

【0052】

【発明が解決しようとする課題】ところで、従来の半導体記憶装置90においては、前述したいづれかのタイプのVPP発生回路70、もしくはいづれかのタイプのVBB発生回路60を用いているのが現状である。

【0053】しかしながら、いづれのタイプを用いても、高速に、かつ効果的に所望の電位を生成して、出力することができない。

【0054】たとえば、図12に示すVPP発生回路70.1と、図15に示すVPP発生回路70.3とを比較すると、VPP発生回路70.3は、内部昇圧電位VPPをゲート昇圧用電源に用いるフィードバック型昇圧電位発生回路90を備えるので、ダイオード型昇圧電位発生回路83を備えるVPP発生回路70.1よりも効率良く、高い内部昇圧電位VPPを発生させることができるとの利点がある。しかし、一方で、外部電源投入時、内部昇圧電位VPPがある程度上昇するまでは、VPP発生回路70.3は、VPP発生回路70.1に比べて効率が悪く、立上がりが遅いという欠点を有する。

【0055】また、たとえば、図13に示すVBB発生回路60.1と、図16に示すVBB発生回路60.3とを比較すると、VBB発生回路60.3は、内部降圧電位VBBをゲート昇圧用電源に用いるフィードバック型降圧電位発生回路91を備えるので、ダイオード型降圧電位発生回路86を備えるVBB発生回路60.1よりも効率良く、低い内部降圧電位VBBを発生させることができるという利点がある。しかし、一方で、外部電源投入時、内部降圧電位VBBがある程度低くなるまでは、VBB発生回路60.3は、VBB発生回路60.1に比べて効率が悪く、立下がりが遅いという欠点を有する。

【0056】そこで、本発明は、上記のような問題を解決するためになされたものであり、外部電源投入後に、立上がりが早く、しかも効率が良く高い内部昇圧電位を供給することができるVPP発生回路を備える半導体記憶装置を提供するものである。

【0057】さらに、本発明の他の目的は、外部電源投入時に、立下がりが早く、しかも効率良く低い内部降圧電位VBBを供給することができるVBB発生回路を備える半導体記憶装置を提供するものである。

【0058】

【課題を解決するための手段】請求項1に係る半導体記憶装置は、生成した内部電源電位を用いて内部回路を動作させる半導体記憶装置であって、与えられた電源電位の電位レベルを変換する、互いに変換効率の異なる複数の電位生成手段と、複数の電位生成手段からの出力に基

づいて、内部電源電位を発生する内部電位発生手段とを備える。

【0059】請求項2に係る半導体記憶装置は、生成した内部昇圧電位を用いて内部回路を動作させる半導体記憶装置であって、外部電源電位を昇圧して第1の昇圧電位を生成して出力する第1の昇圧手段と、外部電源電位を昇圧して第2の昇圧電位を生成して出力する、第1の昇圧手段と昇圧効率の異なる第2の昇圧手段と、第1の昇圧電位と第2の昇圧電位とに基づいて、内部昇圧電位を発生する内部昇圧電位発生手段とを備える。

【0060】請求項3に係る半導体記憶装置は、請求項2に係る半導体記憶装置であって、第1の昇圧手段は、ダイオード型昇圧電位発生回路を含み、第2の昇圧手段は、フィードバック型昇圧電位発生回路を含み、さらに、ダイオード型昇圧電位発生回路の動作を制御する第1の制御手段と、フィードバック型昇圧電位発生回路の動作を制御する第2の制御手段とを備え、第1の制御手段は、内部昇圧電位が第1の検知レベルより高くなると、ダイオード型昇圧電位発生回路を停止させ、前記第2の制御手段は、内部昇圧電位が第1の検知レベルよりも高い第2の検知レベルになるとフィードバック型昇圧電位発生回路を停止させる。

【0061】請求項4に係る半導体記憶装置は、請求項3に係る半導体記憶装置であって、内部昇圧電位発生手段から出力される内部昇圧電位は、第1の昇圧電位と、第2の昇圧電位とを足合せた電位であり、ダイオード型昇圧電位発生回路には、ゲート昇圧用電源として外部電源電位が供給され、フィードバック型昇圧電位発生手段回路には、ゲート昇圧用電源として内部昇圧電位が供給される。

【0062】請求項5に係る半導体記憶装置は、生成した内部昇圧電位を用いて内部回路を動作させる半導体記憶装置であって、外部電源電位を昇圧して第1の昇圧電位を生成して出力する第1の昇圧手段と、外部電源電位を昇圧して第2の昇圧電位を生成して出力する、第1の昇圧手段と昇圧効率の異なる第2の昇圧手段と、第2の昇圧電位に追従して、第1の昇圧電位を昇圧する第3の昇圧手段と、第1の昇圧電位と第2の昇圧電位とに基づいて、内部昇圧電位を発生する内部昇圧電位発生手段とを備える。

【0063】請求項6に係る半導体記憶装置は、請求項5に係る半導体記憶装置であって、第1の昇圧手段は、ダイオード型昇圧電位発生回路を含み、第2の昇圧手段は、フィードバック型昇圧電位発生回路を含み、第3の昇圧手段は、ダイオード型昇圧電位発生回路と、フィードバック型昇圧電位発生回路との間にダイオード接続された第1のPMOSトランジスタから構成され、さらに、ダイオード型昇圧電位発生回路の動作を制御する第1の制御手段と、フィードバック型昇圧電位発生回路の動作を制御する第2の制御手段とを備え、第1の制御手

段は、第1の昇圧電位が第1の検知レベルより高くなると、ダイオード型昇圧電位発生回路を停止させ、第2の制御手段は、内部昇圧電位が第1の検知レベルよりも高い第2の検知レベルになると前記フィードバック型昇圧電位発生回路を停止させる。

【0064】請求項7に係る半導体記憶装置は、請求項6に係る半導体記憶装置であって、内部昇圧電位発生手段から出力される内部昇圧電位は、第2の昇圧電位に等しく、ダイオード型昇圧電位発生回路には、ゲート昇圧用電源として外部電源電位が供給され、フィードバック型昇圧電位発生回路には、ゲート昇圧用電源として前記第1の昇圧電位が供給される。

【0065】請求項8に係る半導体記憶装置は生成した内部降圧電位を用いて内部回路を動作させる半導体記憶装置であって、接場電位を降圧して第1の降圧電位を生成して出力する第1の降圧手段と、接場電位を降圧して第2の降圧電位を生成して出力する、第1の降圧手段と降圧効率の異なる第2の降圧手段と、第1の降圧電位と前記第2の降圧電位とに基づいて、内部降圧電位を発生する内部降圧電位発生手段とを備える。

【0066】請求項9に係る半導体記憶装置は、請求項8に係る半導体記憶装置であって、第1の降圧手段は、ダイオード型降圧電位発生回路を含み、第2の降圧手段は、フィードバック型降圧電位発生回路を含み、さらに、ダイオード型降圧電位発生回路の動作を制御する第1の制御手段と、フィードバック型降圧電位発生回路の動作を制御する第2の制御手段とを備え、第1の制御手段は、内部降圧電位が第1の検知レベルより低くなると、ダイオード型降圧電位発生回路を停止させ、第2の制御手段は、内部降圧電位が第1の検知レベルよりも低い第2の検知レベルになるとフィードバック型降圧電位発生回路を停止させる。

【0067】請求項10に係る半導体記憶装置は、請求項9に係る半導体記憶装置であって、内部降圧電位発生手段から出力される前記内部降圧電位は、前記第1の降圧電位と、第2の降圧電位とを足合せた電位であり、ダイオード型降圧電位発生回路には、ゲート降圧用電源として接場電位が供給され、フィードバック型降圧電位発生手段回路には、ゲート降圧用電源として前記内部降圧電位が供給される。

【0068】請求項11に係る半導体記憶装置は、生成した内部降圧電位を用いて内部回路を動作させる半導体記憶装置であって、接場電位を降圧して第1の降圧電位を生成して出力する第1の降圧手段と、接場電位を降圧して第2の降圧電位を生成して出力する、前記第1の降圧手段と降圧効率の異なる第2の降圧手段と、第2の降圧電位に追従して、第1の降圧電位を降圧する第3の降圧手段と、第1の降圧電位と前記第2の降圧電位とに基づいて、内部降圧電位を発生する内部降圧電位発生手段とを備える。

【0069】請求項1-2に係る半導体記憶装置は、請求項1-1に係る半導体記憶装置であつて、第1の降圧手段は、ダイオード型降圧電位発生回路を含み、第2の降圧電位は、フィードバック型降圧電位発生回路を含み、第3の降圧手段は、ダイオード型降圧電位発生回路と、前記フィードバック型降圧電位発生回路との間にダイオード接続された第2のPMOSトランジスタから構成され、さらに、ダイオード型降圧電位発生回路の動作を制御する第1の制御手段と、フィードバック型降圧電位発生回路の動作を制御する第2の制御手段とを備え、第1の制御手段は、前記第1の降圧電位が第1の検知レベルより低くなると、ダイオード型降圧電位発生回路を停止させ、第2の制御手段は、内部降圧電位が第1の検知レベルよりも低い第2の検知レベルになると前記フィードバック型昇圧電位発生回路を停止させる。

【0070】請求項1-3に係る半導体記憶装置は、請求項1-2に係る半導体記憶装置であつて、内部降圧電位発生手段から出力される内部降圧電位は、第2の降圧電位に等しく、ダイオード型降圧電位発生回路には、ゲート降圧用電源として接場電位が供給され、フィードバック型降圧電位発生回路には、ゲート降圧用電源として第1の降圧電位が供給される。

【0071】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。なお、同じ構成要素には、同じ記号を付し、その説明を省略する。

【0072】【実施の形態1】図1は、本発明の実施の形態1におけるVPP発生回路100の基本構成を示すブロック図である。図1に示すVPP発生回路100は、図9に示す半導体記憶装置900のVPP発生回路70に代わって用いる。

【0073】図1を参照して、本発明の実施の形態1におけるVPP発生回路100は、ディテクタ2、3、ダイオード型昇圧電位発生回路10、およびフィードバック型昇圧電位発生回路11を備える。

【0074】ここで、ダイオード型昇圧電位発生回路10の一例としては、図12に示したダイオード型昇圧電位発生回路83が挙げられる。また、フィードバック型昇圧電位発生回路11の一例としては、図15に示したフィードバック型昇圧電位発生回路90が挙げられる。

【0075】ダイオード型昇圧電位発生回路10は、ディテクタ2の制御を受けて、図示しないリングオシレータで生成されるクロック信号に従い、昇圧電位VPP1を生成して出力する。フィードバック型昇圧電位発生回路11は、ディテクタ3の制御を受けて図示しないリングオシレータで生成されるクロック信号に従い、昇圧電位VPP2を発生して出力する。

【0076】ダイオード型昇圧電位発生回路10の出力ノードと、フィードバック型昇圧電位発生回路11の出力ノードとは、ノードZ1で接続されている。昇圧電位

VPP1と昇圧電位VPP2とは、ノードZ1でたし合わされ、内部昇圧電位VPPとして外部に出力される。

【0077】ダイオード型昇圧電位発生回路10は、外部電源電位e×t、VCCをゲート昇圧用電源として用いる。フィードバック型昇圧電位発生回路11のゲート昇圧用電源には、VPP発生回路100の出力である内部昇圧電位VPPをフィードバックして用いる。

【0078】ディテクタ2、3はそれぞれ、ノードZ1上の内部昇圧電位VPPの変動を検知する。ディテクタ2の検知レベルAは、ディテクタ3の検知レベルBよりも低く設定してある。ダイオード型昇圧電位発生回路10は、ディテクタ2の制御に従い、昇圧動作を行なう。フィードバック型昇圧電位発生回路11は、ディテクタ3の制御に従い、昇圧動作を行なう。

【0079】次に、本発明の実施の形態1におけるVPP発生回路100の動作について説明する。図2は、本発明の実施の形態1におけるVPP発生回路100の出力特性を説明するためのグラフである。

【0080】図2において、実線は、本発明の実施の形態1における内部昇圧電位VPPの変化を表わしている。なお、参考のため、ダイオード型昇圧電位発生回路10のみを用いた場合の出力特性(VPP1a)を点線で、フィードバック型昇圧電位発生回路11のみを用いた場合の出力特性(VPP2a)を一点鎖線でそれぞれ表わす。

【0081】まず、ダイオード型昇圧電位発生回路10、フィードバック型昇圧電位発生回路11のそれぞれの単独での出力特性を比較説明する。

【0082】前述したように、外部電源電源投入時、外部電源電位e×t、VCCをゲート昇圧用電源に用いるダイオード型昇圧電位発生回路10は、立上がり速度が早く、昇圧電位VPP1aは高速にレベルAにまで立上がる。

【0083】一方、生成した昇圧電位VPP2aをゲート昇圧用電源に用いるフィードバック型昇圧電位発生回路11は、外部電源投入時は、立上がりが遅い。

【0084】しかし、昇圧電位VPP2aがレベルAを超えると、ゲート昇圧用電源の効果により、フィードバック型昇圧電位発生回路11は、高速に、高い昇圧電位VPP2aを生成して出力することができる。

【0085】次に、図1～図2を参照して、本発明の実施の形態1におけるVPP発生回路100の出力特性について説明する。

【0086】外部電源電源投入時、外部電源電位e×t、VCCをゲート昇圧用電源に用いるダイオード型VPP発生回路10により、昇圧電位VPP1が、高速に立上がる。この結果、内部昇圧電位VPP(=VPP1+VPP2)が高速に、レベルAまで到達する(点a)。

【0087】内部昇圧電位VPP(=VPP1+VPP2)

2) がレベルAまで立上ると、ディテクタ2が内部昇圧電位VPPのレベルを検知し、ダイオード型昇圧電位発生回路10の昇圧動作を停止させる。

【0088】その後は、レベルAまで昇圧された内部昇圧電位VPPをゲート昇圧用電源に用いて、フィードバック型昇圧電位発生回路11が昇圧動作を行なう。内部昇圧電位VPPがレベルBまで昇圧されると、ディテクタ3が内部昇圧電位VPPのレベルを検知して、フィードバック型昇圧電位発生回路11の昇圧動作を停止させる(点b)。

【0089】その後、内部昇圧昇圧電位VPPが下降した場合は、フィードバック型昇圧電位発生回路11が動作し、効率良く内部昇圧電位VPPをレベルBにまで昇圧することができる。

【0090】このように構成することにより、ダイオード型昇圧電位発生回路10のみを用いた場合よりも効率良く、かつフィードバック型昇圧電位発生回路11のみを使用した場合よりも高速に昇圧電位VPPを立上げることができる。

【0091】【実施の形態2】図3は、本発明の実施の形態2におけるVPP発生回路200の基本構成を示すブロック図である。図3を参照して、本発明の実施の形態2におけるVPP発生回路200は、ディテクタ2、3、ダイオード型昇圧電位発生回路12、フィードバック型昇圧電位発生回路13、コンデンサC1、C2、およびPMOSトランジスタP1を備える。

【0092】ダイオード型昇圧電位発生回路12、フィードバック型昇圧電位発生回路13の基本構成は、ダイオード型昇圧電位発生回路10、フィードバック型昇圧電位発生回路11と同じである。本発明の実施の形態2においては、ダイオード型昇圧電位発生回路12から出力される昇圧電位VPP1が、フィードバック型昇圧電位発生回路11のゲート昇圧用電源となる。また、ディテクタ2は、ダイオード型昇圧電位発生回路12から出力される昇圧電位VPP1の変動を検知する。さらに、ディテクタ3は、VPP発生回路200の出力である内部昇圧電位VPPの変動を検知する。なお、ディテクタ2の検知レベルAは、ディテクタ3の検知レベルBよりも低い。

【0093】PMOSトランジスタP1は、ダイオード型昇圧電位発生回路12の出カノードZ2と、フィードバック型昇圧電位発生回路13の出カノードZ3との間にダイオード接続されている。さらに、コンデンサC1は、出カノードZ2と接地電位GNDとの間に接続されている。また、コンデンサC2は、出カノードZ3と接地電位GNDとの間に接続されている。出カノードZ3上の電位が、内部昇圧電位VPP(=VPP2)として、外部に出力される。

【0094】次に、本発明の実施の形態2におけるVPP発生回路200の動作について説明する。図4は、本

発明の実施の形態2における内部昇圧電位VPPの変化を説明するためのグラフである。

【0095】図4において、点線は、本発明の実施の形態2の昇圧電位VPP1の変化を、実線は、昇圧電位VPP2(すなわち、内部昇圧電位VPP)の変化をそれぞれ表わしている。

【0096】図3～図4を参照して、外部電源投入時、ダイオード型昇圧電位発生回路12により、昇圧電位VPP1が高速に立上がる。

【0097】昇圧電位VPP1がレベルAまで立上がる(点c)と、ディテクタ2が昇圧電位VPP1のレベルを検知し、ダイオード型昇圧電位発生回路12を停止させる。

【0098】ゲート昇圧用電源として昇圧電位VPP1を受けるフィードバック型昇圧電位発生回路13は、昇圧電位VPP2(すなわち、内部昇圧電位VPP)を立上げる。

【0099】昇圧電位VPP2がレベルAまで立上がる(点d)、PMOSトランジスタP1により、昇圧電位VPP1が昇圧電位VPP2に追従して昇圧される。これにより、フィードバック型昇圧電位発生回路13は、さらに、昇圧電位VPP2(すなわち、内部昇圧電位VPP)を立上げることになる。

【0100】昇圧電位VPP1およびVPP2がレベルBまで立上ると(点e)、フィードバック型昇圧電位発生回路13が停止する。

【0101】その後、内部昇圧電位VPPが下降した場合は、フィードバック型昇圧電位発生回路13が動作し、効率良く内部昇圧電位VPPをレベルBにまで昇圧することができる。

【0102】このように構成することにより、ダイオード型昇圧電位発生回路12のみを用いた場合よりも効率良く、かつフィードバック型昇圧電位発生回路13のみを使用した場合よりも高速に昇圧電位VPPを立上げることができる。

【0103】なお、昇圧電位VPP1は、フィードバック型昇圧電位発生回路13のゲート昇圧用電源のみに用いられるので、ダイオード型昇圧電位発生回路12を構成するコンデンサの容量は、フィードバック型昇圧電位発生回路12を構成するコンデンサの容量に比べて小さくてよい。これにより、レイアウト面積を抑えることができるという効果も有する。

【0104】【実施の形態3】図5は、本発明の実施の形態3におけるVBB発生回路300の基本構成を示すブロック図である。図5に示すVBB発生回路300は、図9に示す半導体記憶装置900のVBB発生回路60に代わって用いる。

【0105】図5を参照して、本発明の実施の形態3におけるVBB発生回路300は、ディテクタ22、23、ダイオード型降圧電位発生回路14、およびフィー

ドバック型降圧電位発生回路15を備える。

【0106】ここで、ダイオード型降圧電位発生回路14の一例としては、図13に示したダイオード型降圧電位発生回路86が挙げられる。また、フィードバック型降圧電位発生回路15の一例としては、図16に示したフィードバック型降圧電位発生回路91が挙げられる。

【0107】ダイオード型降圧電位発生回路14は、ディテクタ22の制御を受けて、図示しないリングオシレータで生成されるクロック信号に従い、降圧電位VBB1を生成して出力する。フィードバック型降圧電位発生回路15は、ディテクタ23の制御を受けて図示しないリングオシレータで生成されるクロック信号に従い、降圧電位VBB2を発生して出力する。

【0108】ダイオード型降圧電位発生回路14の出力ノードと、フィードバック型降圧電位発生回路15の出力ノードとは、ノードZ4で接続されている。降圧電位VBB1と降圧電位VBB2とは、ノードZ4でたし合わされ、内部降圧電位VBBとして外部に出力される。

【0109】ダイオード型降圧電位発生回路14は、接地電位GNDをゲート降圧用電源として用いる。フィードバック型降圧電位発生回路15のゲート降圧用電源には、VBB発生回路300の出力である内部降圧電位VBBをフィードバックして用いる。

【0110】ディテクタ22、23はそれぞれ、ノードZ4上の内部降圧電位VBBの変動を検知する。ディテクタ22の検知レベルAは、ディテクタ23の検知レベルBよりも高く設定してある。ダイオード型降圧電位発生回路14は、ディテクタ22の制御に従い、降圧動作を行なう。フィードバック型降圧電位発生回路15は、ディテクタ23の制御に従い、降圧動作を行なう。

【0111】次に、本発明の実施の形態3におけるVBB発生回路300の動作について説明する。図6は、本発明の実施の形態3におけるVBB発生回路300の出力特性を説明するためのグラフである。

【0112】図6において、実線は、本発明の実施の形態3における内部降圧電位VBBの変化を表わしている。なお、参考のため、ダイオード型降圧電位発生回路14のみを用いた場合の出力特性(VBB1a)を点線で、フィードバック型降圧電位発生回路15のみを用いた場合の出力特性(VBB2a)を一点鎖線でそれぞれ表わす。

【0113】まず、ダイオード型降圧電位発生回路14、フィードバック型降圧電位発生回路15のそれぞれの単独での出力特性を比較説明する。

【0114】前述したように、接地電位GNDをゲート降圧用電源に用いるダイオード型降圧電位発生回路14は、立下がり速度が早く、降圧電位VBB1aは高速にレベルAにまで立下がる。

【0115】一方、生成した降圧電位VBB2aをゲート降圧用電源に用いるフィードバック型降圧電位発生回

路15は、外部電源投入時は、立下がりが遅い。

【0116】しかし、降圧電位VBB2aがレベルAを下回ると、ゲート降圧用電源の効果により、フィードバック型降圧電位発生回路15は、高速に、低い降圧電位VBB2aを生成して出力することができる。

【0117】次に、図5～図6を参照して、本発明の実施の形態3におけるVBB発生回路300の出力特性について説明する。

【0118】接地電位GNDをゲート降圧用電源に用いるダイオード型VBB発生回路14により、降圧電位VBB1が、高速に立下がる。この結果、内部降圧電位VBB(=VBB1+VBB2)が高速に、レベルAまで到達する(点f)。

【0119】内部降圧電位VBB(=VBB1+VBB2)がレベルAまで立下がると、ディテクタ22が内部降圧電位VBBのレベルを検知し、ダイオード型降圧電位発生回路14の降圧動作を停止させる。

【0120】その後は、レベルAまで降圧された内部降圧電位VBBをゲート降圧用電源に用いて、フィードバック型降圧電位発生回路15が降圧動作を行なう。内部降圧電位VBBがレベルBまで降圧されると、ディテクタ23が内部降圧電位VBBのレベルを検知して、フィードバック型降圧電位発生回路15の降圧動作を停止させる(点e)。

【0121】その後、内部降圧電位VBBが上昇した場合は、フィードバック型降圧電位発生回路15が動作し、効率良く内部降圧電位VBBをレベルBにまで降圧することができる。

【0122】このように構成することにより、ダイオード型降圧電位発生回路14のみを用いた場合よりも効率良く、かつフィードバック型降圧電位発生回路15のみを使用した場合よりも高速に降圧電位VBBを立下げることができる。

【0123】【実施の形態4】図7は、本発明の実施の形態4におけるVBB発生回路400の基本構成を示すプロック図である。図7を参照して、本発明の実施の形態4におけるVBB発生回路400は、ディテクタ22、23、ダイオード型降圧電位発生回路18、フィードバック型降圧電位発生回路19、コンデンサC3、C4、およびPMOSトランジスタP2を備える。

【0124】ダイオード型降圧電位発生回路18、フィードバック型降圧電位発生回路19の基本構成は、ダイオード型降圧電位発生回路14、フィードバック型降圧電位発生回路15と同じである。

【0125】本発明の実施の形態4においては、ダイオード型降圧電位発生回路18から出力される降圧電位VBB1が、フィードバック型降圧電位発生回路19のゲート降圧用電源となる。また、ディテクタ22は、ダイオード型降圧電位発生回路18から出力される降圧電位VBB1の変動を検知する。さらに、ディテクタ23

は、VBB発生回路400の出力である内部降圧電位VBBの変動を検知する。なお、ディテクタ22の検知レベルAは、ディテクタ23の検知レベルBよりも高い。

【0126】PMOSトランジスタP2は、ダイオード型降圧電位発生回路18の出カノードZ5と、フィードバック型降圧電位発生回路19の出カノードZ6との間にダイオード接続されている。さらに、コンデンサC3は、出カノードZ5と接続電位GNDとの間に接続されている。また、コンデンサC4は、出カノードZ6と接続電位GNDとの間に接続されている。出カノードZ6上の電位が、内部降圧電位VBB(=VBB2)として、外部に出力される。

【0127】次に、本発明の実施の形態4におけるVBB発生回路400の動作について説明する。図8は、本発明の実施の形態4におけるVBB発生回路400の出力特性を説明するためのグラフである。

【0128】図8において、点線は、本発明の実施の形態4の降圧電位VBB1を、実線は、降圧電位VBB2(すなわち、内部降圧電位VBB)をそれぞれ表わしている。

【0129】図7～図8を参照して、外部電源投入時、ダイオード型降圧電位発生回路18により、降圧電位VBB1が高速に立下がる。

【0130】降圧電位VBB1がレベルAまで立下がる(点h)と、ディテクタ22が降圧電位VBB1のレベルを検知し、ダイオード型昇圧電位発生回路18の降圧動作を停止させる。

【0131】ゲート降圧電源として降圧電位VBB1を受けるフィードバック型降圧電位発生回路19は、降圧電位VBB2(すなわち、内部降圧電位VBB)を立下げる。

【0132】降圧電位VBB2がレベルAまで立下がると(点i)、PMOSトランジスタP2により、降圧電位VBB1が降圧電位VBB2に追従して降圧される。これにより、フィードバック型降圧電位発生回路19は、さらに、降圧電位VBB2(すなわち、内部降圧電位VBB)を立下げることになる。

【0133】降圧電位VBB1およびVBB2がレベルBまで立下がると(点j)、ディテクタ23が、フィードバック型降圧電位発生回路19の降圧動作を停止させる。

【0134】その後、内部降圧電位VBBが下降した場合は、フィードバック型降圧電位発生回路19が動作し、効率良く内部降圧電位VBBをレベルBにまで降圧することができる。

【0135】このように構成することにより、ダイオード型降圧電位発生回路18のみを用いた場合よりも効率良く、かつフィードバック型降圧電位発生回路19のみを使用した場合よりも高速に降圧電位VBBを立下げることができる。

【0136】なお、降圧電位VBB1は、フィードバック型降圧電位発生回路19のゲート降圧用電源のみに用いられるので、ダイオード型降圧電位発生回路18を構成するコンデンサの容量は、フィードバック型降圧電位発生回路19を構成するコンデンサの容量に比べて小さくよい。これにより、レイアウト面積を抑えることができるという効果も有する。

【0137】

【発明の効果】以上のように、請求項1に係る半導体記憶装置によれば、変換効率の異なる複数の内部電源を発生させる回路を備えることにより、所望の電位を高速にかつ効率的に生成することができる。

【0138】また、請求項2～請求項4に係る半導体記憶装置によれば、昇圧効率の異なる複数の昇圧電位発生回路を備え、効率の悪い昇圧電位発生回路を順次停止させていくことにより、所望の内部昇圧電位を高速に、かつ効率的に生成することができる。

【0139】また、請求項5～請求項7に係る半導体記憶装置によれば、昇圧効率の異なる複数の昇圧電位発生回路を備え、これらの複数の昇圧電位発生回路を用いて、電源投入時用と通常の動作時用とに分けて、別々に昇圧させることにより、所望の内部昇圧電位を高速に、かつ効率的に生成することができる。

【0140】また、請求項8～請求項10に係る半導体記憶装置によれば、降圧効率の異なる複数の降圧電位発生回路を備え、効率の悪い降圧電位発生回路を順次停止させていくことにより、所望の内部降圧電位を高速に、かつ効率的に生成することができる。

【0141】また、請求項11～請求項13に係る半導体記憶装置によれば、降圧効率の異なる複数の降圧電位発生回路を備え、これらの複数の降圧電位発生回路を用いて、電源投入時用と通常の動作時用とに分けて、別々に降圧させることにより、所望の内部降圧電位を高速に、かつ効率的に生成することができる。

#### 【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるVPP発生回路100の基本構成を示すブロック図である。

【図2】 本発明の実施の形態1におけるVPP発生回路100の出力特性を示すグラフである。

【図3】 本発明の実施の形態2におけるVPP発生回路200の基本構成を示すブロック図である。

【図4】 本発明の実施の形態2におけるVPP発生回路200の出力特性を示すグラフである。

【図5】 本発明の実施の形態3におけるVBB発生回路300の基本構成を示すブロック図である。

【図6】 本発明の実施の形態3におけるVBB発生回路300の出力特性を示すグラフである。

【図7】 本発明の実施の形態4におけるVBB発生回路400の基本構成を示すブロック図である。

【図8】 本発明の実施の形態4におけるVBB発生回

路400の出力特性を示すグラフである。

【図9】 従来の半導体記憶装置900の基本構成を示すブロック図である。

【図10】 メモリアレイ50からのデータの読み出サイクルを示すタイミングチャートである。

【図11】 メモリセルMの構成を示す図である。

【図12】 従来の半導体記憶装置900に用いられるVPP発生回路70.1の構成を示す図である。

【図13】 従来の半導体記憶装置900に用いられるVBB発生回路60.1の構成を示す図である。

【図14】 従来の半導体記憶装置900に用いられるVPP発生回路70.2の構成を示す図である。

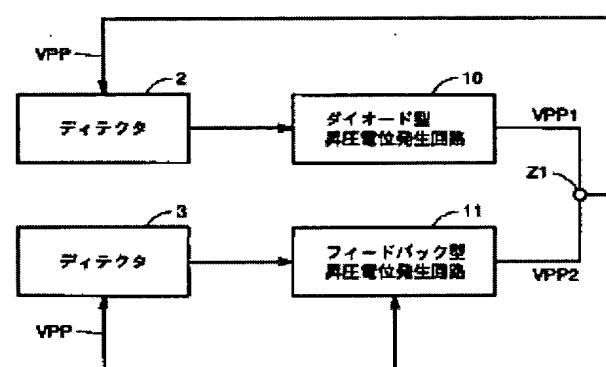
【図15】 従来の半導体記憶装置900に用いられるVBB発生回路60.3の構成を示す図である。

【図16】 従来の半導体記憶装置900に用いられるVBB発生回路60.3の構成を示す図である。

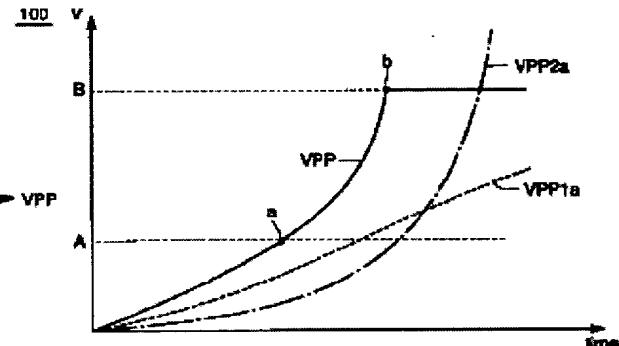
【符号の説明】

2, 3, 22, 23, 81, 84 ディテクタ、82, 85 リングオシレータ、89, 92 クロックジェネレータ、10, 12, 83 ダイオード型昇圧電位発生回路、14, 18, 86 ダイオード型降圧電位発生回路、11, 13, 90 フィードバック型昇圧電位発生回路、15, 19, 91 フィードバック型昇圧電位発生回路、88, 93 レベル変換器、87 ダブルブースト型昇圧電位発生回路、C1~C4, C10~C2 2, C50 コンデンサ、N10~N28, N50, P1~P2, P10~P24 トランジスタ、レベル変換器、50 メモリアレイ、51 ロウデコーダ、52 ロウアドレスバッファ、53センスアンプ、54 コラムデコーダ、55 コラムアドレスバッファ、56入出力回路、59 内部電源発生回路、300~400 VBB発生回路、100~200 VPP発生回路、900 半導体記憶装置。

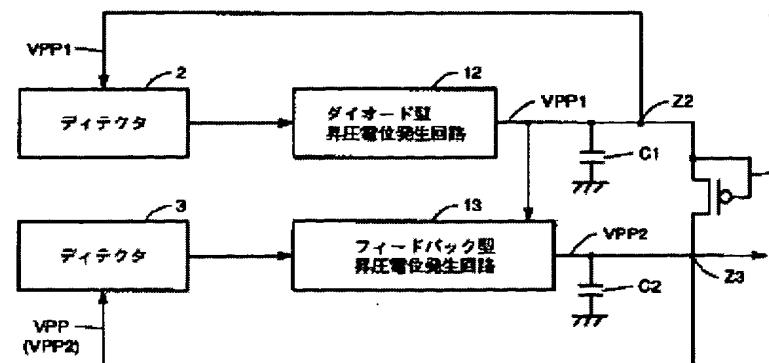
【図1】



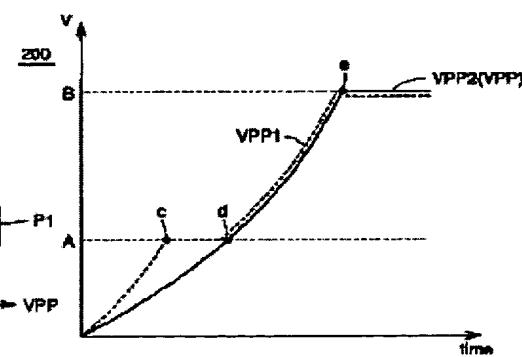
【図2】



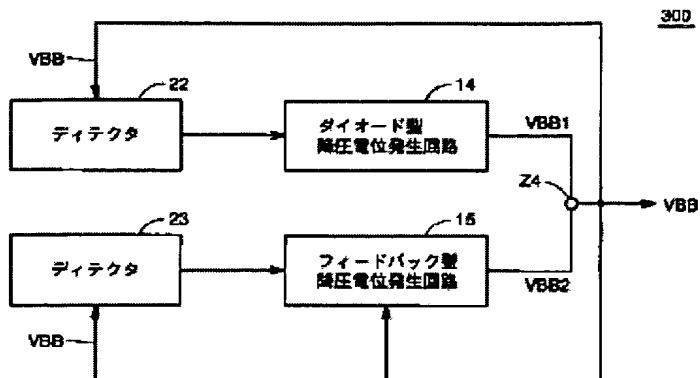
【図3】



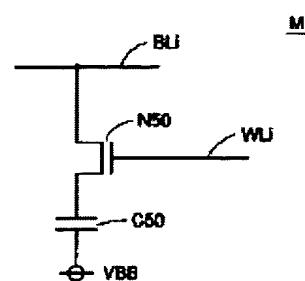
【図4】



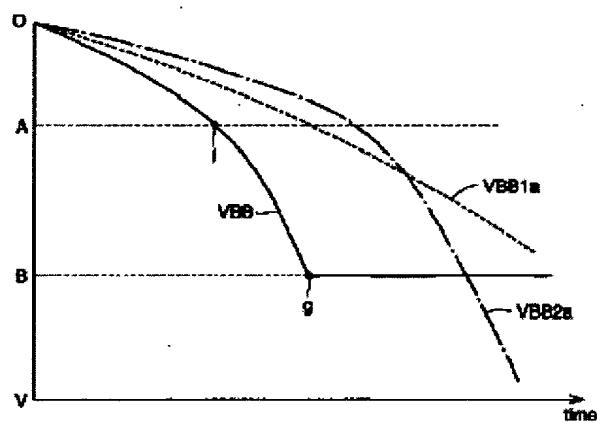
【図 5】



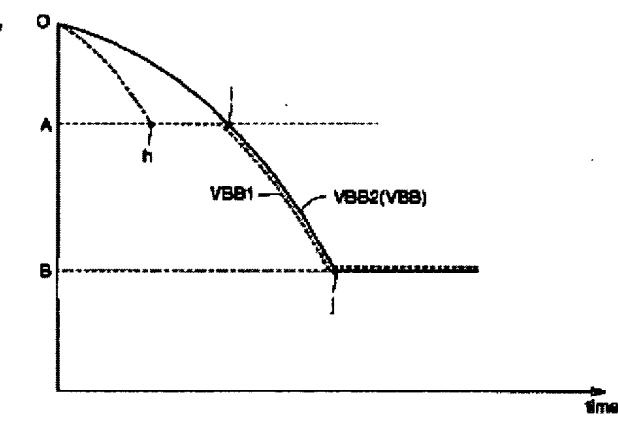
【図 11】



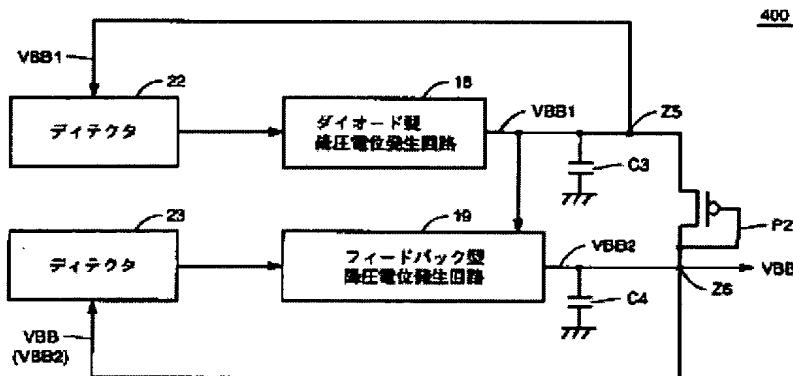
【図 6】



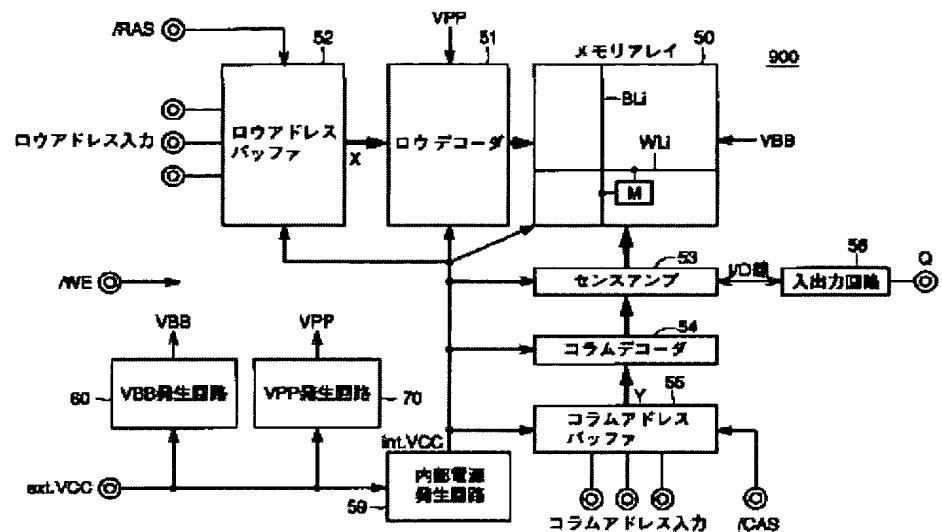
【図 8】



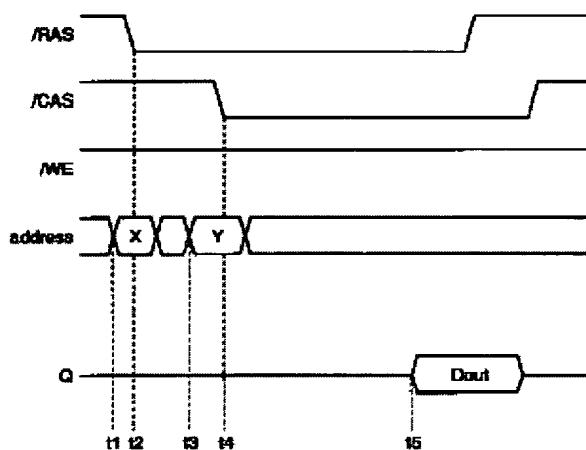
【図 7】



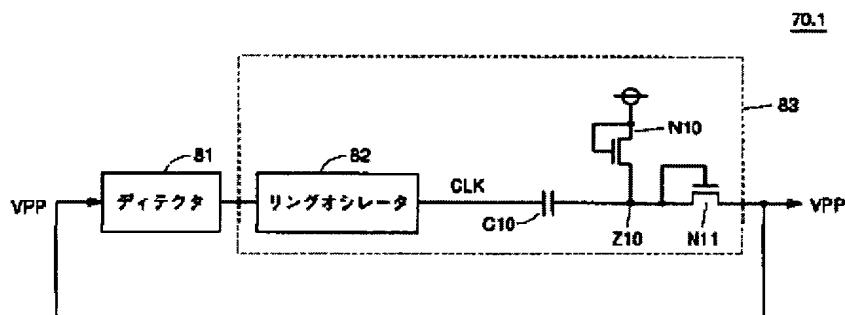
【図9】



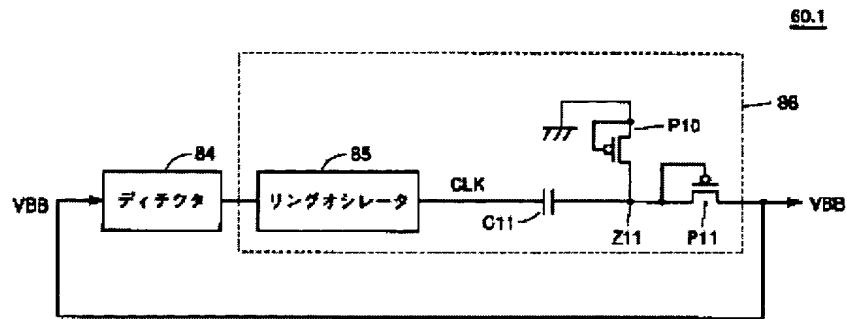
【図10】



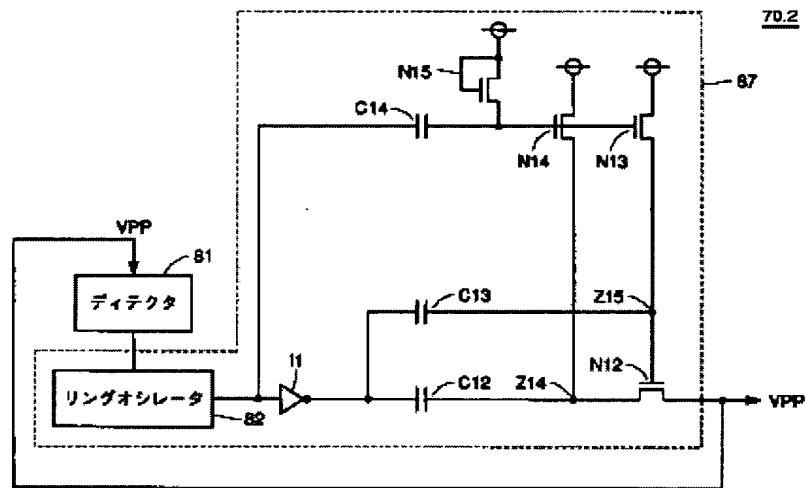
【図12】



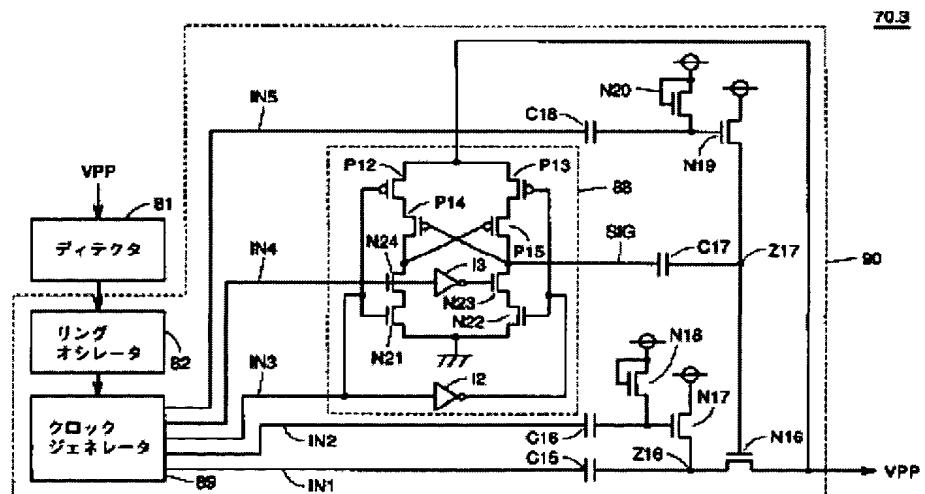
【図1.3】



【図1.4】



【図1.5】



【図16】

